

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-289966

(43)Date of publication of application : 27.10.1998

(51)Int.Cl.

H01L 23/12

H01L 21/60

H01P 1/00

H01P 3/08

(21)Application number : 09-110283

(71)Applicant : NEC CORP

(22)Date of filing : 11.04.1997

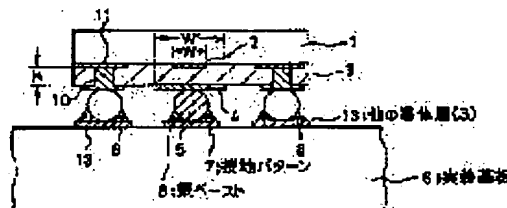
(72)Inventor : KAMIMURA KAZUYOSHI

(54) FLIP CHIP SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To ensure a transmission line of required impedance independent of the position of a conductor wiring pattern by a method wherein a dielectric layer is formed on the surface of a semiconductor chip which includes a first conductor layer, and a bump conductor is formed on a second conductor layer on the dielectric layer and electrically connected to a grounding conductor formed on a mounting board.

SOLUTION: A wiring pattern formed of a first conductor layer 2 is provided onto the surface of a semiconductor chip 1, and a dielectric layer 3 is formed on the surface of the semiconductor chip 1 which includes the wiring pattern. A second conductor layer 4 is formed on the dielectric layer 3 on the first conductor layer 2 at a required point, and a grounding conductor bump 5 is formed on the second conductor layer 4. The semiconductor chip 1 is mounted on a mounting board 6 or a package with silver paste through a flip-chip mounting method. When the grounding conductor bump 5 is connected to a grounding pattern 7 located on the mounting board 6, a microstrip transmission line composed of the conductor layer 2, the dielectric layer 3, and the second conductor layer 4 is formed making the second conductor layer 4 serve as a grounding conductor.



LEGAL STATUS

[Date of request for examination]

11.04.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

2914345

[Date of registration]

16.04.1999

[Number of appeal against examiner's decision of rejection]

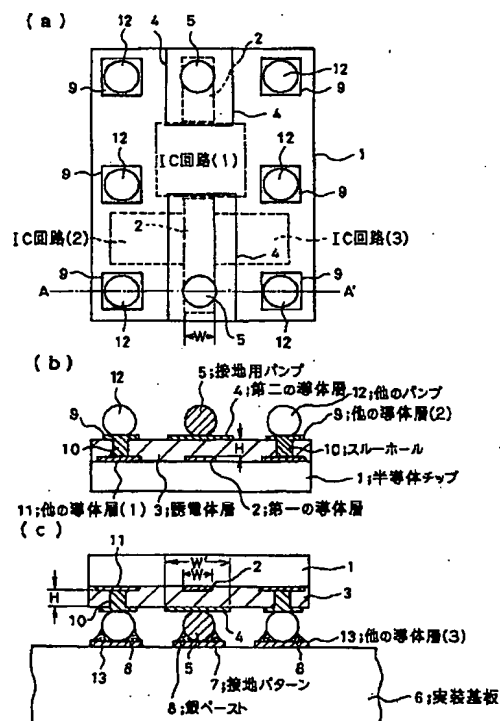
[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(11)特許出願公開番号

(43)公開日 平成10年(1998)10月27日



【特許請求の範囲】

【請求項1】半導体チップのオモテ面（表面）に形成した第1の導体層と、

前記第1の導体層を含む前記半導体チップのオモテ面に形成した誘電体層と、

前記誘電体層上に形成した第2の導体層と、

前記第2の導体層上に形成した少なくとも一つのバンプ導体と、

を有する半導体チップが、実装基板上に、フリップチップ型に実装され、

前記バンプ導体が前記実装基板上に形成された接地導体と電気的接続手段により接続されている、ことを特徴とするフリップチップ型半導体装置。

【請求項2】前記第1の導体層を中心導体とし、前記第2の導体層を接地導体とし、所望の特性インピーダンスをもつマイクロストリップ型伝送線路を形成している、ことを特徴とする請求項1記載のフリップチップ型半導体装置。

【請求項3】前記第1の導体層が、スパイラル型又はミヤダ型のインダクタンス回路であり、前記インダクタンス回路のもつインダクタンス成分（L）と、前記インダクタンス回路が、前記第2の導体層との間に形成する静電容量のキャパシタンス成分（C）との間で共振回路を構成したことを特徴とする請求項1記載のフリップチップ型半導体装置。

【請求項4】前記第1の導体層が、他の導体層である第3の導体層との間で平行平板型のキャパシタンスを形成するキャパシタンス回路を構成し、

前記第2の導体層の前記キャパシタンス回路との対向面は、少なくとも2つ以上の複数個に分離されており、

前記複数個に分離された第2の導体層のうち、所望の数の第2の導体層を電気的に接続することにより、前記キャパシタンス回路のキャパシタンスを調整することができることを特徴とする請求項1記載のフリップチップ型半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、フリップチップ実装型の半導体装置に関し、特に半導体チップの小型化、及び高周波動作の安定性の点で好適とされるフリップチップ型半導体装置に関する。

【0002】

【従来の技術】従来のフリップチップ型半導体装置として、例えば特開昭61-53748号公報には、整合回路の小型化、貫通孔の廃止によるチップ小型化、及びウェハ割れを生ずることなく容易にウェハ状態で高周波特性測定を可能とする、ことを目的として、図6に示すような、超高周波用半導体装置が提案されている。図6

(a)はマイクロ波モノリシック集積回路装置の平面図、図6(b)は、図6(a)のマイクロストリップラ

インにより形成される整合回路部分A-A'線の断面図である。

【0003】図6(b)を参照して、半絶縁性ヒ化ガリウム基板101の一面に形成された第1層金属化層103と、その上に形成された誘電体層102と、さらにその上に形成された第2層金属化層105と、を有する半導体チップが、フリップチップ型に実装され、第1層金属化層103が、半導体実装面の容器接地導体108に、接地面接続用電極104により接続されている。この構成により、第2層金属化層105を中心導体、第1層金属化層103を接地導体とするマイクロストリップ型伝送線路を形成している。

【0004】またフリップチップ型半導体装置の別の従来技術として、例えば特開平2-122640号公報には、回路基板に半導体チップをフェースダウンに実装する構造において、放熱性に優れ、且つ高周波特性が良好な半導体チップの実装構造を提供することを目的として、図8に示すような構成が提案されている。

【0005】図8を参照して、半導体チップ201の一面に形成された信号用パッド221と、それをとり囲むように形成されたアース用パッド222と、を有し、半導体チップがフリップチップ型に実装される回路基板205は、アース層210を有し、アース層バンプ232により、半導体チップのアース用パッド222と接続されている。この構成により、半導体チップの放熱の改善と各信号線間の信号の漏れ防止を行なっている。

【0006】また例えば特開平7-183708号公報には、設計自由度を増し、分布結合線路の結合度の調整を容易とし低損失な高周波半導体装置を提供することを目的として、図9に示すような構成が提案されている。

【0007】図9を参照して、第1の中心導体303と第1の誘電体302と第1の接地導体301とからなるマイクロストリップ型伝送線路が、第2の中心導体304と第1の誘電体膜306と第2の接地導体305からなる別のマイクロストリップ型伝送線路と、互いに中心導体が向い合う方向で、バンプ307により固定されており、互いのマイクロストリップ型伝送線路の位置関係により線路間の結合度を調整できる構成とされている。

【0008】また特開昭62-171201号公報には、低特性インピーダンスの電源供給用線路を形成することによって高周波域でも安定した電源電圧を供給できるパッケージを提供することを目的として、図10に示すような構成が提案されている。図10(a)、図10(b)は概略図、図10(c)は平面図、図10(d)、図10(e)は側面図である。

【0009】図10を参照して、このパッケージは、平衡型ストリップ線路または遮へい型コプレナー線路を用いた電源供給用線路を有し、電源供給用線路404と接地電位導体402により、平衡型ストリップ線路又は遮へい型コプレナー線路を形成して、低インピーダンスで

かつ周辺線路からのカップリングの影響を防止している。図10において、401はパッケージ基板、403は誘電体層、405は半導体素子、406は入力信号線、407は出力信号線、408はボンディングワイヤである。

【0010】

【発明が解決しようとする課題】しかしながら、上記した各従来技術はそれぞれ以下のような各種問題点を有している。

【0011】(1) 前述した特開昭61-53748号公報に記載の半導体装置においては、図7(a)に示すように、平面基板半導体チップを実装する実装面上に、比較的低インピーダンスの別の配線パターン(図中、実装基板配線層111で示す)が存在した場合、第2層金属化層105と実装基板配線層111との位置関係により、第2層金属化層105と誘電体層102と第1層金属化相103とで構成されるマイクロストリップ線路型伝送線路のインピーダンスに、バラツキ又は変動を生じるという不都合が生じる。

【0012】その理由は、第2層金属化層105と実装基板配線層111との間に容量が形成されるため、その分、上記伝送線路のインピーダンスが低くなるからである。図7(c)は、上記伝送線路のインピーダンスが低くなることを模式的に示した図である。

【0013】(2) 次に、前述した特開平2-122640号公報に記載の半導体チップの実装構造においては、半導体チップのチップ面積が必要以上に大きくなる、という問題点を有している。

【0014】その理由は、図8に示すように、半導体チップは、表面に所定のピッチで格子を想定し、その交点行列より所望の交点を選択して信号用パッド221を配列し、それぞれの信号パッド221を取り囲むように、同一平面上、前後左右の格子の交点にアース用パッド222を配設している、ためである。

【0015】(3) 次に、前述した特開平7-183708号公報の問題点は、記載の半導体装置を例えば量産した場合、互いに対向する2つのマイクロストリップ型伝送線路の結合度の再現性を確保することが容易ではない、ことである。

【0016】その理由は、第2の中心導体304と第1の誘電体膜306と第2の接地導体305からなるマイクロストリップ型伝送線路をフリップチップ方式で後から実装するためミクロンオーダの位置精度の確保が難しいためである。

【0017】(4) そして、前述した特開昭62-171201号公報には、パッケージの構成が開示されており、接地電位導体層402'及び402''の接地電位を確保するために、通常、例えば図11(a)、図11(b)のように、スルーホールを用いて実際に外部との接地電位を確保する層(図11(a)及び図11(b))

では、最上層の接地電位導体402)に電氣的導通をとるか、もしくは図11(c)、図11(d)のようにパッケージの周辺部にて、側面メタライズされる。

【0018】このパッケージを半導体チップに用いると、図11(a)、図11(b)の接続の場合、最上層の接地電位導体402へ接続するためのスルーホール409のため、半導体チップの面積が大きくなるという不都合を生じる。

【0019】また、図11(c)、図11(d)の接続の場合、最上層の接地電位導体402は少なくとも一部を半導体チップの周辺まで伸ばしていく必要があり、チップ面積の増加及び配線上の制約を受けるという不都合を生じる。

【0020】したがって、本発明は、上記問題点に鑑みてなされたものであって、その目的は、半導体チップ上に形成された伝送線路のインピーダンスが、該半導体チップをフリップチップ方式で実装する場合の実装面の導体配線のパターン位置によらず、所望の値を確保可能としたフリップチップ型半導体装置を提供することにある。

【0021】本発明の他の目的は、上記半導体チップのチップ面積を低減するフリップチップ型半導体装置を提供することにある。

【0022】

【課題を解決するための手段】前記目的を達成するため、本発明のフリップチップ型半導体装置は、半導体チップのオモテ面(表面)に形成した第1の導体層と、前記第1の導体層を含む前記半導体チップのオモテ面に形成した誘電体層と、前記誘電体層上に形成した第2の導体層と、前記第2の導体層上に形成した少なくとも一つのバンプ導体と、を有する半導体チップが、実装基板上に、フリップチップ型に実装され、前記バンプ導体が前記実装基板上に形成された接地導体と電氣的接続手段により接続されている、ことを特徴とする。

【0023】また本発明においては、前記第1の導体層を中心導体とし、前記第2の導体層を接地導体とし、所望の特性インピーダンスをもつマイクロストリップ型伝送線路を形成している、ことを特徴とする。

【0024】また、本発明においては、前記第1の導体層が、スパイラル型又はミヤンダ型のインダクタンス回路であり、前記インダクタンス回路のもつインダクタンス成分(L)と、前記インダクタンス回路が、前記第2の導体層との間に形成する静電容量のキャパシタンス成分(C)との間で共振回路を構成したことを特徴とする。

【0025】【発明の概要】本発明の原理・作用について以下に説明する。本発明においては、半導体チップ上に形成された第1の導体層(図1の2)と、第1の導体層上に形成された誘電体層(図1の3)と、その誘電体層の上に形成された第2の導体層(図1の4)を有し、

第1の導体層を中心導体、第2の導体層を接地導体とするマイクロストリップ型伝送線路を形成する(図1(c)参照)。

【0026】また、第2の導体層は、誘電体層上の他の接地用導体層に接続されるか、もしくはバンプを通して直接実装基板上の接地電位導体層に接続される。すなわち、第2の導体層は独立に半導体チップの下層の電極とスルーホールで接続する必要がないという特徴を有する。

【0027】本発明におけるフリップチップ型半導体装置は、第1の導体層とその上に形成された誘電体層とその上に形成された第2の導体層とにより、第2の導体層を接地導体、第1の導体層を中心導体とするマイクロストリップ型伝送線路を形成しており、かつ第2の導体層のシールド効果により、半導体チップ実装面の他の配線パターンの影響による伝送線路のインピーダンスの変動、バラツキを防止できる。

【0028】本発明のフリップチップ型半導体装置における第2の導体層はバンプを通じて直接実装基板上の接地電位導体層に接続することにより、マイクロストリップ型伝送線路の接地導体として働くため、第2の導体層とその下層(半導体チップにおいての下層)とをスルーホール等の電気的接続手段をとらなくともよいので、スルーホール形成に関わるチップ面積の増加を低減できる。

【0029】

【発明の実施の形態】次に本発明の実施の形態について図面を参照して説明する。

【0030】図1は、本発明の実施の形態の構成を示す図であり、図1(a)は平面図、図1(b)は図1

(a)のA-A'線断面図、図1(c)は実装基板への実装時の断面を示す図である。

【0031】図1を参照すると、この実施の形態は、半導体チップ1の表(オモテ)面に第1の導体層2による配線パターンが形成されている。その配線パターンを含む半導体チップ1の表(オモテ)面上に、誘電体層3が形成されている。第1の導体層2上の誘電体層3上の所望の箇所に、第2の導体層4が形成されている。第2の導体層4の上には、導体による接地用バンプ5が形成されている。

【0032】この実施の形態では、第2の導体層4は、より下層(半導体チップ側)の配線層とスルーホール等で電気的接続はされていない。

【0033】以上の構成を有する半導体チップをフリップチップ方式で実装基板6あるいはパッケージ等に銀ペースト8等で実装する(図1(c)参照)。

【0034】接地用バンプ5は、実装基板6上の接地パターン7に接続されると、第1の導体層2と誘電層3と第2の導体層4は、第1の導体層2を中心導体、第2の導体層4を接地導体とするマイクロストリップ伝送線路を形成する。

【0035】第1の導体層2の幅Wに対して、第2の導体層4の幅W'を十分広く(通常Wの3倍程度)しておけば、マイクロストリップ型伝送線路の特性インピーダンスZ₀は、第1の導体層2の幅Wと誘電体層3の厚さ(第1の導体層と第2の導体層の間隔)H、及び比誘電率ε_rにより決まる。

【0036】

【数1】

$$Z_0 = \begin{cases} \frac{60}{\sqrt{\epsilon_{eff}}} \cdot \ln \left[\frac{8H}{W} + 0.25 \frac{W}{H} \right] & \dots \left[\frac{W}{H} \leq 1 \right] \\ \frac{120\pi}{\sqrt{\epsilon_{eff}}} \left\{ \frac{W}{H} + 1.393 + 0.667 \ln \left[\frac{W}{H} + 1.44 \right] \right\}^{-1} & \dots \left[\frac{W}{H} \geq 1 \right] \end{cases} \dots (1)$$

【0037】ここで、

【数2】

$$\epsilon_{eff} = \frac{\epsilon_r + 1}{2} + \frac{\epsilon_r - 1}{2} \cdot F \left[\frac{W}{H} \right] \quad \dots (2)$$

$$F \left[\frac{W}{H} \right] = \begin{cases} \left[1 + 1.2 \frac{H}{W} \right]^{-\frac{1}{2}} + 0.04 \left[1 - \frac{W}{H} \right]^2 & \dots \left[\frac{W}{H} \leq 1 \right] \\ \left[1 + 1.2 \frac{H}{W} \right]^{-\frac{1}{2}} & \dots \left[\frac{W}{H} \geq 1 \right] \end{cases} \quad \dots (3)$$

【0038】ここで、 ϵ_{eff} は「実効誘電率」という。

【0039】この実施の形態においては、これらの関係式を用いて、半導体チップの所望の箇所に所望の特性インピーダンスを有するマイクロストリップ型の伝送線路を形成している。

【0040】

【実施例】上記した本発明の実施の形態について更に具体的に説明するため、本発明の実施例について図面を参照して説明する。

【0041】【第1の実施例】図2は、本発明の第1の実施例の構成を示す図であり、GaAs基板22上に2つのFET部Q1、Q2と、バイアス回路部20と整合回路部21が形成されており、整合回路部21の一部は、図2(a)のように、第1の導体層2による配線層を含んでいる。

【0042】第1の導体層2の幅Wは約55 μ mでパターンニングされている。第1の導体層2を含む前記GaAs基板22の表面上に厚さ30 μ m程度のポリイミド層23 ($\epsilon_r \approx 4.7$)が形成されており、第1導体層2の所望の箇所のポリイミド層の上には、さらに第2の導体層4が形成されている。この第2の導体層4には、Au材による直径約100 μ mの接地用パンプ5が形成されている。

【0043】図3は、本実施例の半導体チップ(図2(a)及び図2(b)参照)の製造工程を、工程順に示した断面図である。

【0044】GaAs基板に既存のイオン注入技術を用いてFET部32を形成し、その上に既存のCVD法によりSiO₂等の第1の絶縁膜33を形成する(図3(a)参照)。

【0045】次に公知のエッチング技術で第1の絶縁膜33に必要な箇所の窓開けを行ない、公知のスパッタ技術及び蒸着技術でショットキーメタル34及びオーミッ

クメタル35を形成する(図3(b)参照)。この際、窓開けしない第1の絶縁膜上にも配線用のショットキーメタル34'を形成しても良い。

【0046】さらにその上に既存のCVD法により、SiO₂等の第2の絶縁膜36を形成し、既存のドライエッチング技術により、必要箇所に第1のスルーホール37を設け、下層にある所望の箇所の前記ショットキーメタル34及び34'や、前記オーミックメタル35に第1のコンタクト配線を行なう。こうして構成した半導体チップに第1の導体層38と他の導体層(1)39をAuメッキ技術等の既存の配線技術で形成する(図3(c)参照)。

【0047】その上に、公知の成膜技術によりポリイミド層40を形成し、所望の箇所にはエッチング技術を用いて窓開けを行ない、下層にある所望の金メッキ配線層に第2のスルーホール41を形成する。

【0048】さらに、第2の導体層42と他の導体層(2)43を、公知のAuメッキ配線技術で形成し、所望の箇所にAuによる接地用パンプ44と他のパンプ45を既存のパンプ形成技術で形成する(図3(d)参照)。

【0049】最後に半導体チップとして、ダイシングすることにより、半導体チップとして切り出す。

【0050】以上のように製造した半導体チップ71に実装基板に、フリップチップ方式で銀ペースト8を用いて実装する実装基板には、所望の箇所に接地パターン73と他の導体層(3)74が形成されており、この実装により、第2の導体層4は接地用配線メタルとして電氣的に接地電位に保たれている。実装基板72上に前記半導体チップ71を実装する際のマウント剤はAgペーストの代わりに半田等のロー材を用いてもよい。

【0051】以上のように構成されてなる本発明の実施例の半導体装置の作用効果について説明する。第1の導

体層2と誘電体層（ポリイミド層）23と第2の導体層4は、第1の導体層2を中心導体、第2の導体層4を接地導体とするマイクロストリップ型伝送線路を形成している。この実施例では、マイクロストリップ型伝送線路の特性インピーダンスが約50Ωになるように、第1の導体層幅及び誘電体材質及び同厚さが設定されている。第2の導体層4のシールド効果により第1の導体層は実装基板72上の他の配線パターンニングの存在によるインピーダンスのバラツキを生ずることが低減される。

【0052】〔第2の実施例〕図4は、本発明のフリップチップ型半導体装置の第2の実施例の構成を示す図である。本実施例の基本構造、及び製造方法は、前述の第1の実施例と同じである。

【0053】本実施例においては、第1の導体層2によ

$$f_0 = \frac{c}{\sqrt{\epsilon_{eff}}} \cdot \frac{p+q}{4D^2} \quad \dots (4)$$

$$\approx 15 \text{ GHz}$$

【0056】cは光速、 ϵ_{eff} は実効誘電率であり上式(2)参照。

【0057】〔第3の実施例〕図5は、本発明のフリップチップ型半導体装置の第3の実施例の構成を示す図である。図5(a)は平面図、図5(b)は図5(a)のD-D'線断面図、図5(c)は実装状態を示す平面図である。本実施例の基本構造は、前記第1の実施例と同じであるが、本実施例では、半導体チップ1上に第1の導体層2の他に、半導体チップ上に形成された第3の導体層60と、その上に形成された第2の誘電体層61を備え、第1の導体層2は第3の導体層60を介して第2の導体層と対向して容量素子を形成している。

【0058】図5において、第2の誘電体層61はSiN膜であり、厚さ200nm程度である。また、第3の導体層60はスルーホール62を通じて、第2の導体層4と電気的に接続されている。このことは第3の実施例特有のものである。

【0059】また、第2の導体層4は、図5(a)に示すように、分割(4、4'、4''、4''')されている。

【0060】本実施例は、第2の導体層4と、第1の導体層2との間の容量を回路の容量調整に使うことが目的であり、分割した第2の導体層(4、4'、4''、4''')をボンディングワイヤ63で所望に接続することにより(図5(c)参照)、容量回路の容量調整が可能である。

【0061】

【発明の効果】以上説明したように、本発明によれば下記記載の効果を奏する。

【0062】(1)本発明の第1の効果は、半導体チップに形成した伝送線路のインピーダンスがその半導体チ

ップをフリップチップ方式で実装した場合に、実装基板上に存在する配線パターンの影響を受けて変化することを低減できる、ということである。

【0063】その理由は、本発明においては、伝送線路を構成する接地導体(第2の導体層)がフリップチップ実装面に接する面に形成できるので、その接地導体のシールド効果により中心導体からの電界の漏れが低減できるからである。

【0064】(2)本発明の第2の効果は、フリップチップ型半導体装置において、半導体チップのチップ面積を低減し実装面積の低減を図ることができる、ということである。

【0065】その理由は、本発明においては、半導体チップ上に構成する伝送線路の接地導体を、直接、実装基板上に接続しているので、チップ上の余分なスルーホール形成が不要だからである。

【0066】(3)本発明の第3の効果は、半導体チップ上に形成する伝送線路の結合度(インピーダンス)の再現性が良い、ということである。

【0067】その理由は、本発明においては、伝送線路構造を半導体プロセスで作製するため、ミクロン(μm)オーダの寸法制御ができるからである。

【図面の簡単な説明】

【図1】本発明の実施の形態を示す図であり、(a)は平面図、(b)は(a)のA-A'線断面図、(c)は実装時断面図である。

【図2】本発明の第1の実施例を示す図であり、(a)は平面図、(b)は(a)のB-B'線断面図、(c)は実装時断面図である。

【図3】本発明の第1の実施例における半導体チップの

製造工程を工程順に示す断面図である。

【図 4】本発明の第 2 の実施例を示す図であり、(a) は平面図、(b) は実装時断面図、(c) はスパイラル型インダクタンス素子を示す図である。

【図 5】本発明の第 3 の実施例の構成を示す図であり、(a) は平面図、(b) は (a) の D-D' 線断面図、(c) は実装状態を示す平面図である。

【図 6】従来技術（特開昭 61-53748 号公報）の半導体装置を示す図である。

【図 7】特開昭 61-53748 号公報に記載の半導体装置の問題点を模式的に示す説明図である。

【図 8】従来技術（特開平 2-122640 号公報）の半導体装置の構成を示す図である。

【図 9】別の従来技術（特開平 7-183708 号公報）の半導体装置の構成を示す図である。

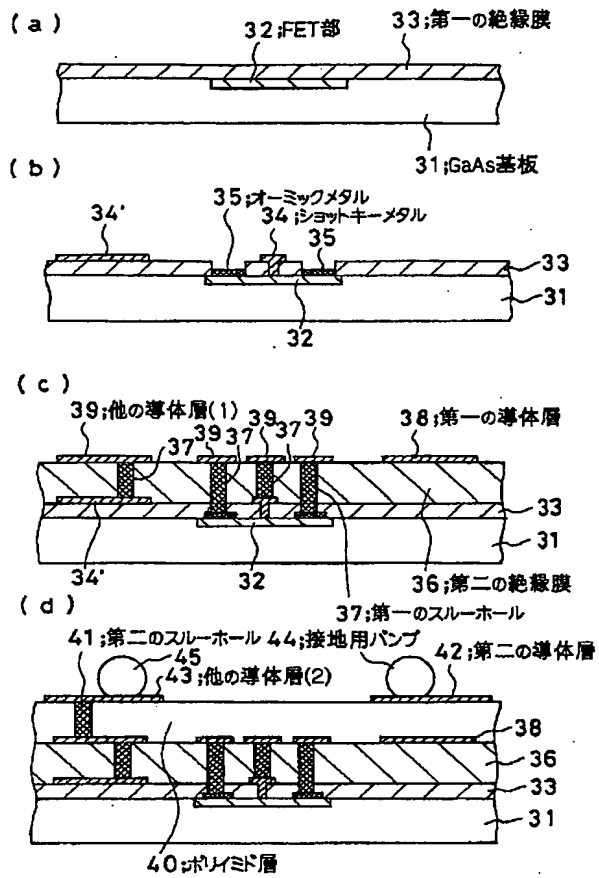
【図 10】さらに別の従来技術（特開昭 62-171201 号公報）のパッケージの構成を示す図である。

【図 11】特開昭 62-171201 号公報に記載のパッケージの問題点を説明するための図である。

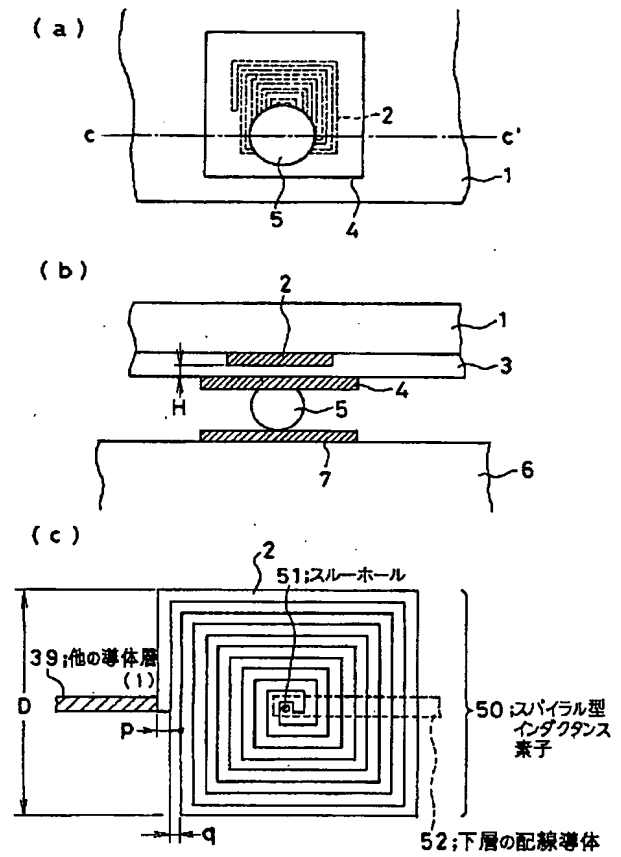
【符号の説明】

- | | |
|------------------|---------------------|
| 1 半導体チップ | 43 他の導体層 (2) |
| 2 第 1 の導体層 | 44 接地用バンブ |
| 3 誘電体層 | 45 他のバンブ |
| 4 第 2 の導体層 | 50 スパイラル型インダクタンス素子 |
| 5 接地用バンブ | 51 スルーホール |
| 6 実装基板 | 52 下層の配線導体 |
| 7 接地パターン | 60 第 3 の導体層 |
| 8 銀ペースト | 61 第 2 の誘電体層 |
| 9 他の導体層 (2) | 62 スルーホール |
| 10 スルーホール | 63 ボンディングワイヤ |
| 11 他の導体層 (1) | 71 半導体チップ |
| 12 他のバンブ | 72 実装基板 |
| 13 他の導体層 (3) | 73 接地パターン |
| Q1、Q2 FET 部 | 74 他の導体層 (3) |
| 20 バイアス回路部 | 101 半絶縁性ヒ化ガリウム基板 |
| 21 整合回路部 | 102 誘電体層 |
| 22 GaAs 基板 | 103 第 1 層金属化層 |
| 23 ポリイミド層 | 104 接地面接続用電極 |
| 31 GaAs 基板 | 105 マイクロストリップライン |
| 32 FET 部 | 106、107 スルーホールコンタクト |
| 33 第 1 の絶縁膜 | 108 容器接地導体 |
| 34、34' ショットキーメタル | 109 容器入出力伝送線路 |
| 35 オーミックメタル | 110 容器絶縁体基板 |
| 36 第 2 の絶縁膜 | 111 実装基板配線層 |
| 37 第 1 のスルーホール | 201 半導体チップ |
| 38 第 1 の導体層 | 202 パッド |
| 39 他の導体層 (1) | 203 バンブ |
| 40 ポリイミド層 | 205 回路基板 |
| 41 第 2 のスルーホール | 206 導体パターン |
| 42 第 2 の導体層 | 210 アース層 |
| | 211 誘電体パターン |
| | 212 信号線パターン |
| | 221 信号用パッド |
| | 222 アース用パッド |
| | 231 信号用バンブ |
| | 232 アース用バンブ |
| | 301 第 1 の接地導体 |
| | 302 第 1 の誘電体 |
| | 303 第 1 の中心導体 |
| | 304 第 2 の中心導体 |
| | 305 第 2 の接地導体 |
| | 306 第 1 の誘電体膜 |
| | 307 バンブ |
| | 401 パッケージ基板 |
| | 402 接地電位導体 |
| | 403 誘電体層 |
| | 404 電源供給用導体 |
| | 405 半導体素子 |
| | 406 入力信号線 |
| | 407 出力信号線 |

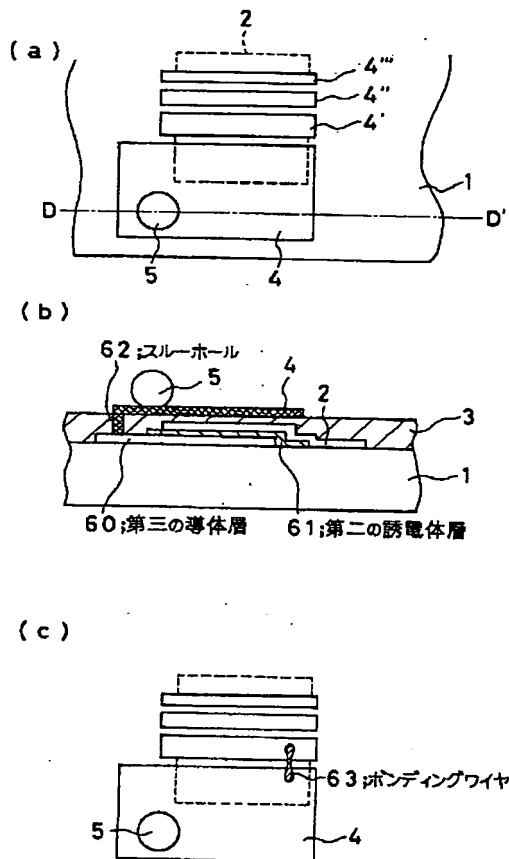
【図3】



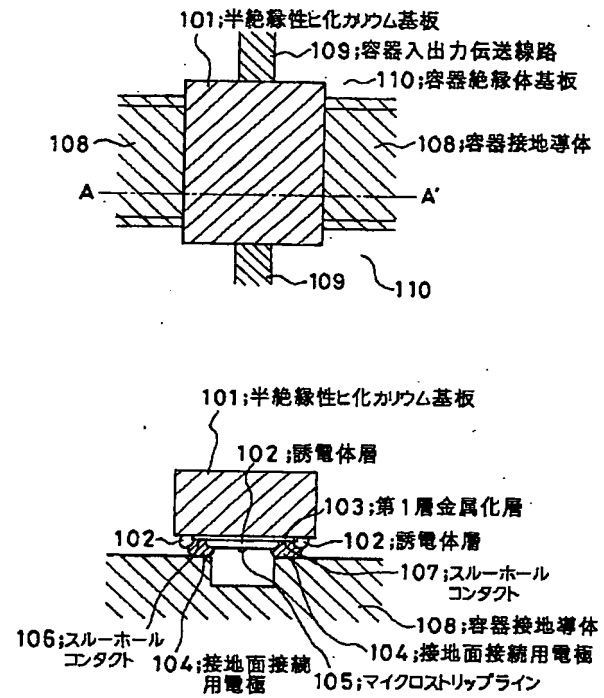
【図4】



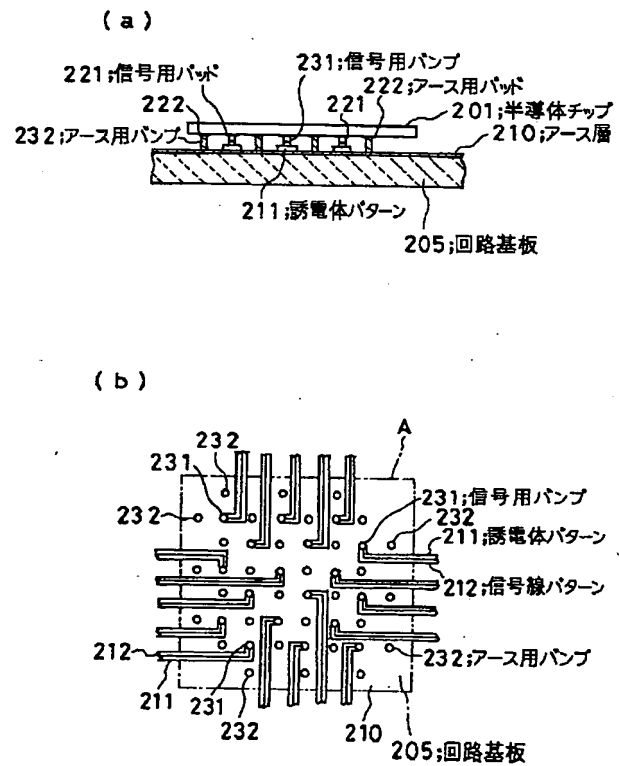
【図5】



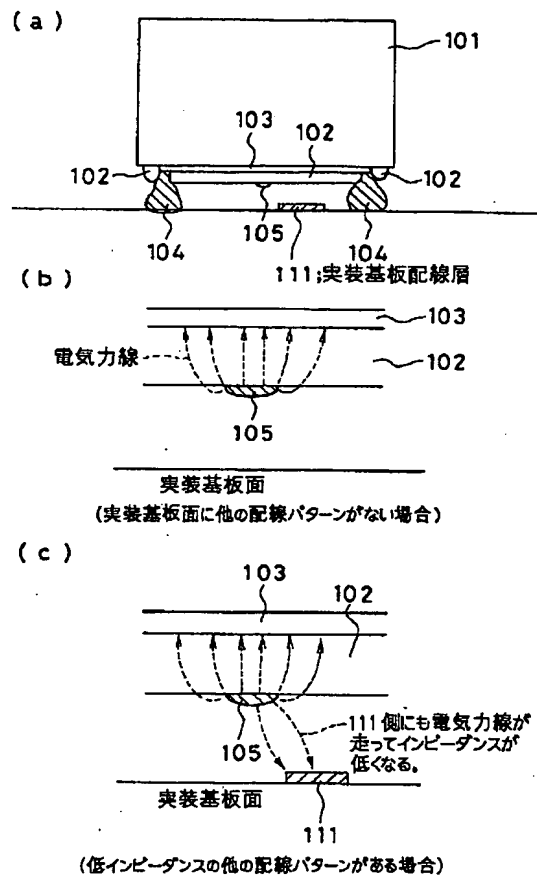
【図6】



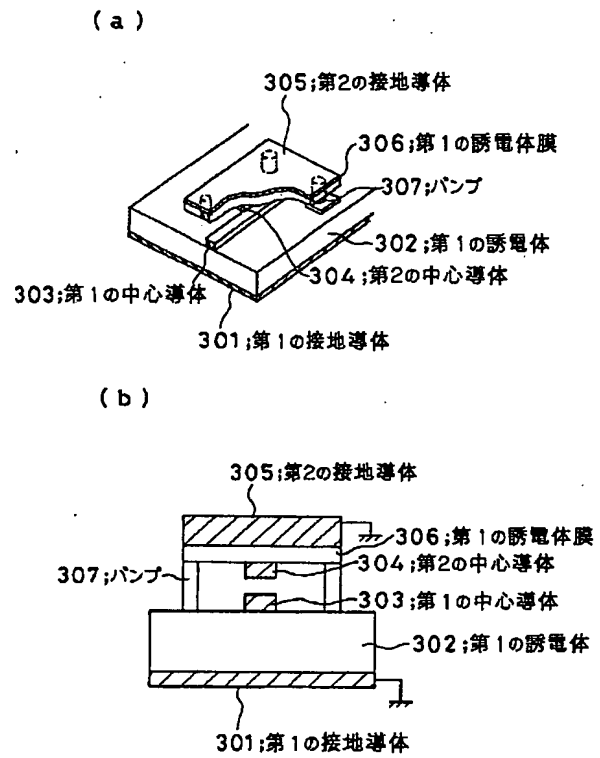
【図8】



【図7】



【図9】



【図10】

